



FBC0409 FF/PA 现场总线通信控制器 使用手册



沈阳中科博微自动化技术有限公司

公司简介

沈阳中科博微自动化技术有限公司是由中国科学院沈阳自动化研究所发起创建的一家高新技术企业，主要从事网络化控制系统、仪表、芯片及软件方面的研究、开发、生产和应用。公司同时承担着多个国家科技攻关和“863”项目，是辽宁省网络化控制系统工程研究中心。公司成功地开发出国内第一个通过国际认证的 FF H1 现场总线协议栈，国内第一套工业以太网协议（HSE），国内第一个经过国家级本安防爆认证的现场总线仪表及安全栅，参与制定了国内第一个基于以太网的工厂自动化协议标准（EPA），形成了从组态、监控软件、嵌入式软件、控制系统、仪表芯片到 OEM 板卡的系列化产品。

博微公司是 FF 基金会成员；是 HART 基金会成员；是 Profibus 用户组织（PNO）成员。

博微公司通过了 ISO9001:2000 质量管理体系认证，拥有优秀的研发团队、丰富的自动化工程设计与实施经验、业界领先的产品系列、庞大的市场网络、优秀的企业文化，这些都为公司的创业和持续发展奠定了坚实基础。

承载员工理想，创造客户价值，促进企业发展。

博微公司正与前进的中国共同进步。

责任免除

尽管本文中所描述的内容已经做了检查和测试，但可能还会有一些差错，所以我们无法保证内容的完全准确性。我们会对文章中的内容进行定期的检查和测试，必要的更正会在以后的版本中提供。同时，也欢迎大家提出改进的建议。

版权

Copyright © Microcyber Corporation 2015. 版权所有。

除了已经被授予的许可外，针对本文的传播、拷贝、使用和分享都是不允许的。违反者将承担相应的责任。

版本 1.3

目 录

名词/缩略语	1
第 1 章 芯片简介	2
第 2 章 功能特点	3
第 3 章 典型应用	4
第 4 章 管脚说明	5
第 5 章 功能描述	7
5.1 CPU 接口模块	8
5.2 寄存器处理模块	8
5.3 定时器模块	9
5.4 DMA 控制器模块	9
5.5 总线仲裁模块	9
5.6 地址识别模块	10
5.7 接收模块	10
5.8 发送模块	11
5.9 时钟产生模块	11
5.10 中断处理模块	12
第 6 章 地址映射	13
第 7 章 寄存器	14
7.1 内部寄存器地址表	14
7.2 发送寄存器	17
7.2.1 发送寄存器 (TRM_REG) ——地址 0x00	17
7.3 接收寄存器	18
7.3.1 接收寄存器 ——地址 0x00	18
7.4 命令寄存器	18
7.4.1 命令寄存器 0 (FB_CMD0) ——地址 0x01	18
7.4.2 命令寄存器 1 (FB_CMD1) ——地址 0x02	19
7.4.3 命令寄存器 2 (FB_CMD2) ——地址 0x03	20
7.4.4 命令寄存器 3 (FB_CMD3) ——地址 0x26	20
7.5 中断寄存器	20
7.5.1 中断主寄存器 (ISR_MSTR) ——地址 0x03	21
7.5.2 中断状态寄存器 0 (ISR0) ——地址 0x04	21
7.5.3 中断状态寄存器 1 (ISR1) ——地址 0x05	22
7.5.4 中断状态寄存器 2 (ISR2) ——地址 0x06	23
7.5.5 中断状态寄存器 3 (ISR3) ——地址 0x07	24
7.5.6 中断屏蔽寄存器 0 (ISR0_MSK) ——地址 0x08	25
7.5.7 中断屏蔽寄存器 1 (ISR1_MSK) ——地址 0x09	25
7.5.8 中断屏蔽寄存器 2 (ISR2_MSK) ——地址 0x0A	25
7.5.9 中断屏蔽寄存器 3 (ISR3_MSK) ——地址 0x0B	26
7.6 DMA 寄存器	26
7.6.1 发送字节计数器 (TRM_BYTECNT [13:0]) ——地址 0x0C-0x0D	26
7.6.2 发送缓冲区数据地址 (TRM_BUFPTR [13:0]) ——地址 0x0E-0x0F	26



7.6.3	接收缓冲区地址 (RCV_BUFPTR [13:0]) ——地址 0x12-0x13	26
7.7	地址识别寄存器	26
7.7.1	地址匹配向量寄存器 (MATCH_VECTOR [13:0]) ——地址 0x16-0x17	26
7.7.2	NS 地址表地址寄存器 (ADR_TABNS [13:0]) ——地址 0x16-0x17	27
7.7.3	帧码寄存器 FRAME_CODE [4:0] ——地址 0x18	27
7.7.4	帧控制字寄存器 FRAME_CNTRL [7:0] ——地址 0x19	28
7.7.5	HLNS 地址表地址寄存器 (ADR_TABHLNS [13:0]) ——地址 0x18-0x19	28
7.7.6	节点标志符寄存器 (NODE_ID) ——地址 0x1B	28
7.8	状态寄存器	28
7.8.1	状态寄存器 0 (STATUS0) ——地址 0x1C	28
7.8.2	状态寄存器 1 (STATUS1) ——地址 0x1D	29
7.8.3	状态寄存器 2 (STATUS2) ——地址 0x1E	30
7.9	定时器寄存器	31
7.9.1	定时器锁定寄存器 TIMER_LATCH ——地址 0x1f	31
7.9.2	1/32MS 定时器计数值寄存器 (MS1_32CNT [15:0]) ——地址 0x20-0x21	31
7.9.3	1/32MS 定时器比较值寄存器 (MS1_32COMP [15:0]) ——地址 0x20-0x21	31
7.9.4	1MS 定时器计数值寄存器 (MS1_CNT [15:0]) ——地址 0x22-0x23	31
7.9.5	1MS 定时器比较值寄存器 (MS1_COMP [15:0]) ——地址 0x22-0x23	31
7.9.6	字节定时器计数值寄存器 (OCTET_CNT [15:0]) ——地址 0x24-0x25	32
7.9.7	字节定时器比较值寄存器 (OCTET_COMP [15:0]) ——地址 0x24-0x25	32
第 8 章	封装信息	33
第 9 章	性能指标	34
9.1	温度特性	34
9.2	电气特性	34

表 格

表 1 名词/缩略语	1
表 2 FBC0409 管脚描述	6
表 3 FBC0409 内部寄存器列表	17
表 4 帧码/类型帧对应表	27
表 5 封装信息	33
表 6 FBC0409 直流特性	34

图 示

图 1 FBC0409 控制器典型连接及应用	4
图 2 FBC0409 的分布示意图	5
图 3 FBC0409 内部功能模块框图	7
图 4 封装示意图	33

名词/缩略语

下表中定义了本文中使用的名词定义和英文的缩略语。

名词 缩略语	定义 解释
FB	FieldBus 现场总线
FBC	FieldBusController 现场总线控制器
IEC	InternationalElectronicCommittee 国际电工委员会
MAU	MediumAttachmentUnit 介质存取单元
DMA	DirectMemoryAccess 直接访问存储器
FCS	FrameCheckSequence 帧校验序列

表 1 名词/缩略语

第1章 芯片简介

FBC0409 基金会现场总线通信控制器符合 IEC61158-2 规范中的现场总线物理层标准，可满足高性能基金会总线网络主、从设备的使用要求。

FBC0409 内部设置有曼彻斯特编/解码器，只要外接简单的 MAU 即可接入现场总线系统中进行通信。

FBC0409 对总线的接线方式是没有极性要求的，在芯片内部已经置有极性检测与自动校正功能。

FBC0409 内置 4k 数据 RAM 和 DMA 控制器，数据的接收、发送、地址表的查找等操作不需要 CPU 干涉，大大减轻 CPU 负担。FBC0409 具有较丰富的线路监测功能，对于线路的发送/接收状态、误码、帧丢失、帧冲突等均可检测。

FBC0409 具有一定的链路层功能：发送/接收帧校验 FCS、16 位 1ms 定时器、16 位 1/32ms 定时器、16 位字节（Octet）时间定时器、帧码译码与地址识别。

第2章 功能特点

FBC0409 芯片实现基金会现场总线通信控制器物理层和部分链路层功能，具体如下：

- 数据传输速率为 31.25KBit/S，采用曼彻斯特编码
- 内置曼彻斯特编/解码器
- 具有禁止闲谈电路，以避免接收或发送长时间占用线路
- 自动接收并校正网络侧接收线路极性
- 自动进行帧类型和目的地址识别
- 接收自动帧校验，发送帧校验可软件控制
- 内置 2 通道 DMA 控制器，用于发送、接收数据的传输
- 内置 4KByte 异步 SRAM，用于存储发送、接收和地址表数据
- 内置总线仲裁机制，确保 CPU 正确访问内部 SRAM
- 向链路层提供定时器：1ms、1/32ms、256us（Octet 定时）
- 具有丰富的中断寄存器和状态寄存器
- 支持 Intel 系列、ARM 系列等微控制器
- 支持内环回测试功能
- 支持 STANDBY 功能
- 工作温度范围：-40℃~85℃
- 典型工作功耗：3.3V 条件下，小于 600uA
- 44 管脚，LQFP 封装

第3章 典型应用

本芯片设计定位为基金会现场总线通信控制器，在系统中的典型应用如下图。

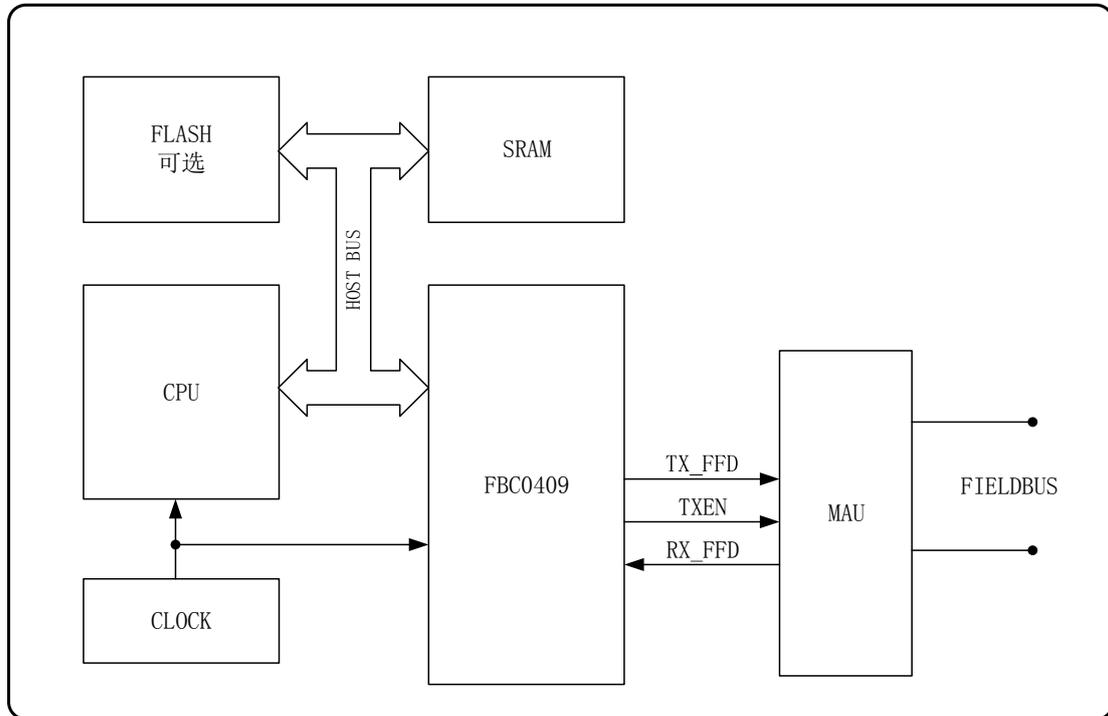


图 1 FBC0409 控制器典型连接及应用

第4章 管脚说明

FBC0409 芯片为 LQFP44 封装，功能管脚共 35 条，如下图所示。

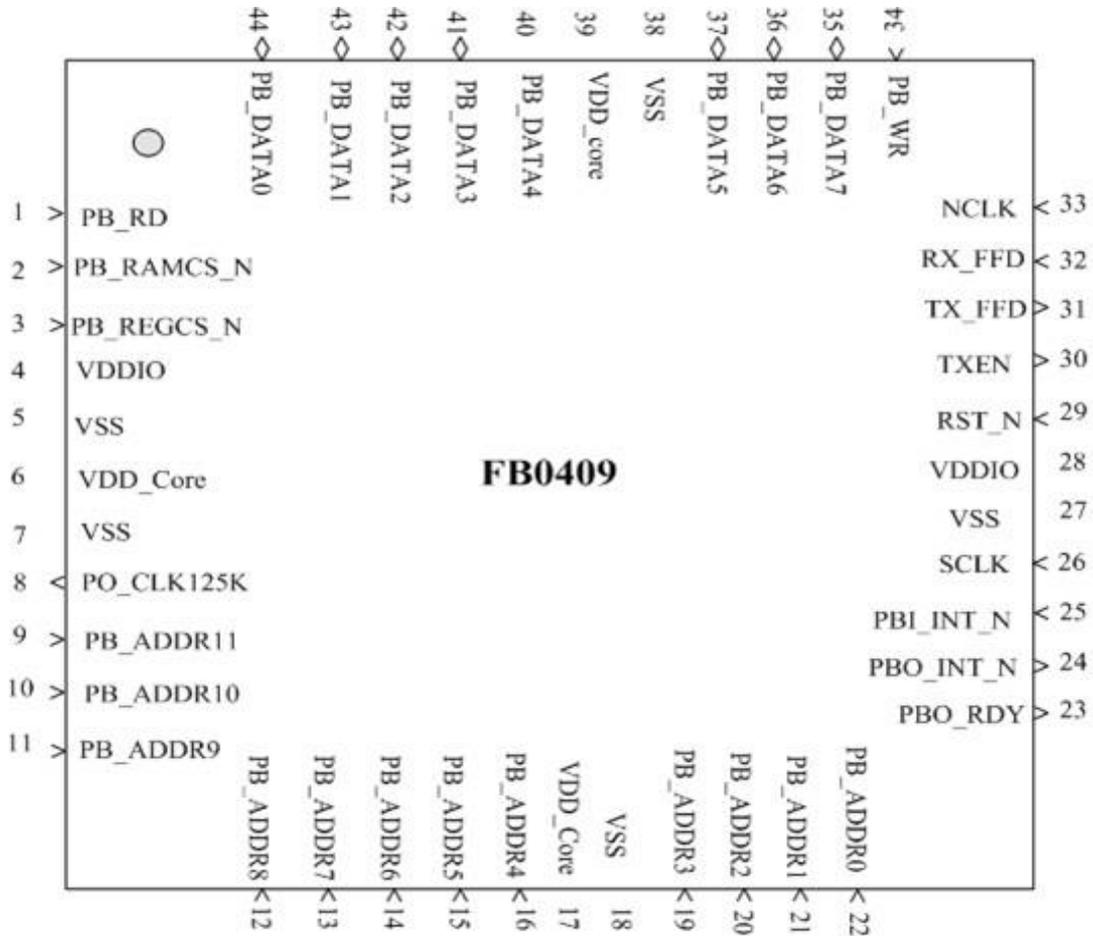


图 2 FBC0409 的分布示意图

FBC0409 管脚描述:

名称	类型	描述
PB_ADDR[11:0]	INPUT	12 位地址总线
PB_DATA[7:0]	INOUT	8 位地址总线
PB_RAMCS_N	INPUT	内部 RAM 片选信号, 低有效
PB_REGCS_N	INPUT	寄存器片选信号, 低有效
RST_N	INPUT	系统复位信号, 低有效
PB_WR	INPUT	CPU 写控制信号
PB_RD	INPUT	CPU 读控制信号
SCLK	INPUT	系统时钟, 要求与 CPU 时钟同源
NCLK	INPUT	线路时钟, 可独立与 SCLK
PO_CLK125K	OUTPUT	输出 125k 时钟
PO_READY	OUTPUT	请求等待信号, 当快速 CPU 访问片内 RAM 的时候, 芯片会根据 CPU 时钟频率给出 PO_READY 等待信号, 只有 0 和高阻两态输出
PBO_INT_N	OUTPUT	中断申请信号, 低有效
PBI_INT_N	INPUT	外部中断申请输入信号, 低有效
TXEN	OUTPUT	现场总线发送数据指示, 可由软件配置有效电平
TX_FFD	OUTPUT	现场总线发送数据
RX_FFD	INPUT	现场总线接收数据
VDDIO	POWER	IO 供电电压, 3.3V 或 5V
VDD_CORE	POWER	内核供电电压, 3.3V
VSS	GND	信号地

表 2 FBC0409 管脚描述

第5章 功能描述

现场总线通信控制器 FBC0409 遵循 IEC61158-2 标准的物理层规范，并可以很方便的与 Intel 的 80188/80186 系列、ARM 系列及其兼容 CPU 配合，构建成现场总线主、从设备。

芯片内置有 MANCHESTER 编码器、解码器，只要外接以简单的 MAU 即可构成现场总线系统接口。芯片设计有自动码极性识别校正功能以及接收自动帧校验、发送可选帧校验功能（FCS），并提供 1ms、1/32ms、字节时间定时器和目的地址匹配功能、帧控制字译码功能，减少在链路层 CPU 进行处理的开销。为了防止节点过长时间占用总线，芯片中设有定时监视器，用以完成发送“闲谈”控制的功能：当发送器占用总线超过 512 字节时间时关闭发送。

为了提高网络吞吐量，减轻 CPU 的处理负担，同时也为便于软件编程，芯片内部集成了 DMA 控制器，分别用于现场数据的收发和数据链路层中的地址匹配。芯片内部集成有 4KByte 的异步单口 SRAM，用来对线路数据和地址表数据进行存储。芯片内部功能模块见下图。

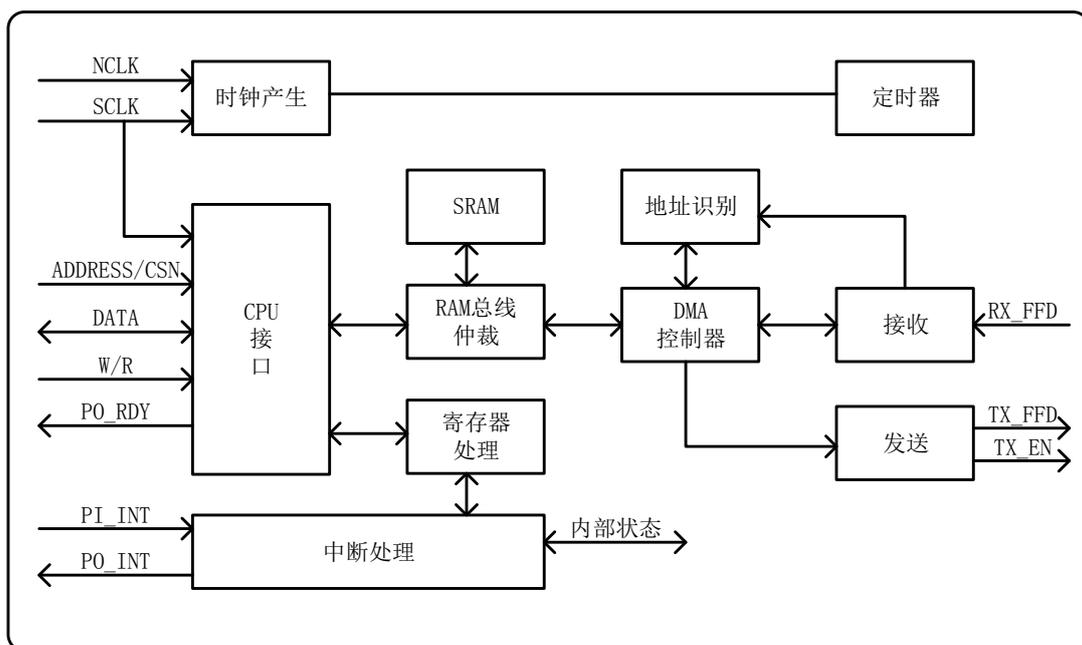


图 3 FBC0409 内部功能模块框图

注：

在总线仲裁及双通道 DMA 控制器和中断处理模块中采用的时钟由 CPU 时钟 SCLK 分频获得；而在地址匹配、数据收发、定时计数采用的时钟是由 SCLK 或 NCLK 分频后得到的 500KHZ 时钟；

CPU 通过异步方式读写内部 SRAM 和寄存器。

5.1 CPU 接口模块

CPU 接口模块主要提供芯片与 CPU 之间的总线接口，外部 CPU 通过 CPU 接口来访问内部 SRAM 和寄存器。支持两种寻址方式，独立寻址和共享寻址。根据片选和地址信号，译码产生访问内部 SRAM 片选信号和读写信号；根据片选和读写信号，产生相应的选择信号选通 CPU 和 SRAM 或寄存器之间的数据通路。

数据总线（PB_DATA [7:0]）输出为三态方式控制，只有当 CPU 读写内部 SRAM 或寄存器时，才使能输出。

CPU 与 FBC0409 的通信主要靠 PO_READY 信号调节时序，操作过程中要保证 CPU 可以识别该信号并可给与响应。当 CPU 读写有效时，若内部 RAM 忙，则给出 PO_READY 信号，当内部 RAM 操作结束，PO_READY 信号同时结束。

5.2 寄存器处理模块

寄存器组模块处于 CPU 接口与内部逻辑之间。寄存器组实现了丰富的寄存器，CPU 通过读写这些寄存器来控制 and 实现总线通信功能。

CPU 采用异步方式访问寄存器，CPU 访问寄存器时（独立寻址方式且 PB_REGCS_N 有效时，或者共享寻址方式且高位地址译码选中寄存器时），在写信号 PB_WR 上升沿时，根据地址译码将输入数据写入寄存器；在读信号 PB_RD 下降沿时，根据地址译码读出寄存器的值送到数据总线上。

5.3 定时器模块

在定时器模块中，对由 SCLK 或 NCLK 分频得到的 500KHZ 时钟进行计数，提供数据链路层处理所需的 3 个定时器：1ms、1/32ms、256us（字节定时）。三个定时器均为 16 位，采用自由运行方式（FreeRunning）计数。定时器在计满溢出回零时产生定时器溢出中断。每个定时器都设置一个相应的 16 位的计数值比较寄存器，每当定时器当前计数值和计数值比较寄存器相等时，便产生定时器比较中断。

在 CPU 读取定时器值时，首先写寄存器地址 0x1F，然后再读相应的定时器。

5.4 DMA 控制器模块

DMA 控制器模块是芯片内部的重要模块，它使得通信过程在芯片内部自动完成，而无需 CPU 干预，由此大大减轻了 CPU 的处理负担。

DMA 控制器包含 2 个通道：读操作、写操作，分别接受来自发送、接收和地址识别的数据传输请求，然后给出对应的内部总线信号直接读写内部 SRAM。

在 DMA 控制器访问内部 SRAM 期间，如果外部 CPU 也要访问内部 SRAM，将会由总线仲裁模块置 PO_READY 为低，迫使外部 CPU 进入等待状态。

5.5 总线仲裁模块

总线仲裁模块处理内部总线请求、外接 CPU 的总线请求之间的切换。

当在 CPU 操作期间有 DMA 请求时，DMA 控制器等待当前 CPU 操作完成；当 DMA 操作期间 CPU 访问 RAM 时，PO_READY 输出为低电平；当只有 DMA 请求且 CPU 没有访问 RAM 时，PO_READY 输出为高电平；当没有 DMA 请求时，PO_READY 输出为高电平。

5.6 地址识别模块

地址识别模块负责报文格式和目的地址识别。

命令寄存器 1 (0x02) 中的 ARME 有效后使能目的地址识别模式，否则只进行帧控制字译码，禁止目的地址识别。帧控制字译码得到报文类型信息，包括收到帧控制字指示、广播帧指示、PSA 帧指示和帧码 FRAME_CODE；此外，还获知目的地址类型信息，信息包括无目的地址、节点地址、NS 地址或 HL 地址。

根据目的地址类型信息进行目的地址匹配，若是节点地址，直接与节点地址寄存器 NODE_ID[7:0]比较，送出地址匹配通知 AMOF；若为 HL 或 NS 地址，则采用 DMA 方式与 SRAM 中的 NS 或 HL 地址表逐一比较，直到匹配成功给出 AMOF 指示或查表结束给出 ETDF 指示。

5.7 接收模块

接收模块的功能是接收来自现场总线的数据帧，提取出数据字段供上层进一步处理。主要工作包括时钟同步、识别定界码、曼码解码、串并转换、帧校验等，同时生成相应的状态和中断信息。通过配置命令寄存器可以控制接收模块工作，包括接收使能控制、半双工/全双工控制、环回设置等。

接收方式可以选择 CPU 中断或 DMA 方式，可以通过接收 DMA 使能 (DRE) 来控制。

CPU 中断方式指的是，每收到一个字节，就会产生接收寄存器满中断 (RDRF_INT)，外部 CPU 响应该中断读走数据字节，如此循环往复，直到接收完成。

而 DMA 方式指的是，每收到一个字节，就通过 DMA 的方式直接写入到内部 SRAM，循环往复，待接收结束后，CPU 可以一次从内部 SRAM 读取全部数据。

在实际使用时，推荐使用 DMA 方式进行接收，以减轻 CPU 的处理负担。

5.8 发送模块

发送模块负责将 CPU 交付的发送数据进行处理，然后按照规定的帧结构发送到现场总线上。主要工作包括增加前导码和定界码、并串转换、帧校验生成、曼码编码等，同时生成相应状态和中断信息。通过配置命令寄存器可以控制发送模块工作，包括发送使能控制、前导码字节数、发送 CRC 帧校验使能等。

发送方式也有两种，CPU 中断和 DMA 方式，可以通过发送 DMA 使能（DTE）来控制。

CPU 中断方式指的是，发送模块每发送一个字节，就会产生发送数据寄存器空（TDRE_INT）中断，CPU 响应改中断，再次写入新的发送字节，如此循环往复直到发送结束。

DMA 方式指的是，首先将要发送的数据帧全部写入内部 SRAM 中，每发送一个字节，就通过 DMA 方式写入下一个数据字节，如此往复直到发送结束。

实际使用时，推荐使用 DMA 方式发送。开始发送前，必须通过对发送数据寄存器（TRM_REG）进行一次无效写来启动发送。有两种情况都可以导致发送正常结束：DMA 控制器发送字节计数满，或者超过一字节时间没有数据写入发送寄存器。发送操作具有禁止“闲谈”功能，当发送帧长度超过 512 字节时，发送模块将结束发送，同时生成发生“闲谈”中断（JI_INT）。

5.9 时钟产生模块

时钟产生模块用于产生芯片工作所需的内部时钟，包括用于 DMA 控制器、中断处理的内部快时钟和用于现场总线收发处理的 500KHz 时钟。

在时钟模式使能时（MD[1:0]≠00），内部快时钟由 SCLK 根据系统时钟分频比寄存器（CLK_DIV）决定，表达式= $SCLK / (CLK_DIV + 1)$ 。

由于访问内部异步 SRAM 有确定读写时间要求，所以要求获得的内部快时钟必须小于 8MHz，例如对于输入时钟 32MHz，则 CLK_DIV 的值应大于

0x3, 而如果输入时钟是 20MHZ, 则 CLK_DIV 的值必须大于 0x1。

这里仅支持 2 幂次分频, 即 1/2/4/8/16 次分频 (CLK_DIV 值分别为 0/1/3/7/15)。

500KHz 时钟由 SCLK、NCLK 和命令寄存器 2 (0x03) 决定, CLKSEL 选择时钟源作为现场总线输入主时钟。

ICLK: 0 选 SCLK, 1 选 NCLK。

利用 MD [1:0]和 BR [4:0]得到 500KHz 时钟 (16 倍于收发现场总线速率), 用于发送、接收和地址识别。

MD 定义: 00:停止时钟, 01:H1 速率, 其余无效。

BR 定义: $CLK_{500} = ICLK / (BR + 1)$, 仅支持 2 幂次分频, BR 只能取值 0/1/3/7/15/31。

5.10 中断处理模块

中断处理模块用于根据内部状态信号产生相应的中断信号, 同时还提供中断清零、中断屏蔽机制。

中断清零采用写 1 清零方式。中断屏蔽则采用外部屏蔽方式, 屏蔽不能禁止内部中断状态的产生。

第6章 地址映射

现场总线通信控制芯片的地址空间分为两部分，一部分为内部 4K 异步 SRAM 地址，另一部分为寄存器地址。片内支持两种模式寻址：一种是寄存器和 RAM 独立编址，也就是两个片选信号（PB_REGCS_N 和 PB_RAMCS_N）分别对应各自的地址空间，这里称为方式一；另一种是统一编址的方式，即只有一个片选，选中本芯片时同时选中片内 REGISTER 和 RAM，靠内部的地址译码区分，这里称为方式二。

对于方式一，寄存器片选有效时候 RAM 片选无效，此时寄存器地址为 6'H00~6'H3F；RAM 片选有效的时候寄存器片选无效，RAM 的地址空间为 12'H000~12'HFFF（12'd4095）。

对于方式二，两个片选同时有效，寄存器的寻址空间为 12'HFC0~12'HFFF，操作的时候可以高 6 位全 1 译码得到寄存器片选 REG_CSN，仍然是按照 6 位有效地址进行寄存器操作；RAM 的寻址空间与方式一的相同，但是寄存器占用的地址空间损失掉了，寻址 12'H000~12'HFBF（12'D4032）。在使用的时候推荐采用两个片选分别有效的方式。

第7章 寄存器

7.1 内部寄存器地址表

偏移地址	名称	描述	属性	备注
0x00	TRM_REG[7:0]	发送数据寄存器	WO	DATAREG
	RCV_REG[7:0]	接收数据寄存器	RO	
0x01	FB_CMD0[5:0]		W/R	CMDREG
	PSE[1:0]	0x01[1:0], 前导序列长度配置		
	TFCE	0x01[2], 发送数据帧校验使能		
	TDE	0x01[3], 发送数据使能		
	FDM	0x01[4], 全双工控制		
	RDE	0x01[5], 接收数据使能		
0x02	FB_CMD1[4:0]		W/R	CMDREG
	ARME	0x02[0], 地址识别模式使能		
	DRE	0x02[1], DMA 接收使能		
	DTE	0x02[2], DMA 发送使能		
	LOOPBK	0x02[3], 环回控制		
	MAU_ENF	0x02[4], MAU 发送使能指示		
0x03	FB_CMD2[7:0]		WO	CMDREG
	BR[4:0]	0x03[4:0], 得到 500K 内部时钟分频比		
	MD[1:0]	0x03[6:5], 时钟模式设定, 00: 静默		
	CLKSEL	0x03[7], 时钟源选择		
0x03	ISR_MSTR[4:0]		RO	INTERRUPTMASTER
	CISF	0x03[0], 中断位来自通信控制部分		
	AISF	0x03[1], 中断来自地址识别		
	TISF	0x03[2], TIMER/CLOCK 为中断源		
	ERRF	0x03[3], 发生错误		
	EIF	0x03[7], PI_INT 为中断源		
0x04	ISRO[7:0]		RC	INTO
	TDRE_INT	0x04[0], 发送数据寄存器空中断		
	TIF_INT	0x04[1], 数据传送完毕中断		
	RIF_INT	0x04[2], 数据接收完成		
	REDF_INT	0x04[3], 数据结束边界 RCV_END_DLMT		
	REF_INT	0x04[4], 数据寄存器溢出		
	RSDF_INT	0x04[5], 数据起始边界 RCV_START_DLMT		
	RAF_INT	0x04[6], FF 总线发现数据(RCVACTV)		
RDRF_INT	0x04[7], 接收数据寄存器满			
0x04	INT_CLR0[7:0]	对应相同地址中断的写 1 清零	WO	CLEARINTO



偏移地址	名称	描述	属性	备注
0x05	ISR1[3:0]		RC	INT1
	B MDF_INT	0x05[0], 广播消息指示		
	A MDF_INT	0x05[1], 探测到地址匹配		
	E OTF_INT	0x05[2], 地址表查找完毕指示		
	F CF_INT	0x05[3], 帧控制码识别指示		
0x05	INT_CLR1[3:0]	对同一地址的中断寄存器的写 1 清零	WO	CLEARINT1
0x06	ISR2[5:0]		RC	INT2
	MS1_32COF_INT	0x06[0], 1/32MS 计数溢出回 0		
	MS1_32CF_INT	0x06[1], 1/32MS 计数达到设定比较值		
	MS1COF_INT	0x06[2], 1MS 计数溢出回 0		
	MS1CF_INT	0x06[3], 1MS 计数达到设定值		
	OOF_INT	0x06[4], 字节计数溢出回 0		
	OCF_INT	0x06[5], 字节计数达到设定值		
0x06	INT_CLR2[5:0]	对同一地址的中断寄存器的写 1 清零	WO	CLEARINT2
0x07	ISR3[6:0]		RC	INT3
	LSDF_INT	0x07[0]接收前定界错误		
	LEDF_INT	0x07[1]接收后定界错误		
	LNGFRM_INT	0x07[2]接收超长帧错误		
	MDERR_INT	0x07[3]接收时曼码解码错误		
	LCD_INT	0x07[4]接收时丢失 CD 错误		
	TRM_FAIL_INT	0x07[5]发送失败		
	JI_INT	0x07[6]发送定时器超时, 闲谈指示		
0x07	INT_CLR3[6:0]	对同一地址的中断寄存器的写 1 清零	WO	CLEARINT3
0x08	ISR0_MSK[7:0]	收发产生的中断 INT0 的掩码	W/R	
0x09	ISR1_MSK[3:0]	地址识别与帧码译码产生中断的掩码	W/R	
0x0A	ISR2_MSK[5:0]	定时功能产生中断 INT2 的掩码	W/R	
0x0B	ISR3_MSK[6:0]	发送接收错误产生中断 INT3 的掩码	W/R	
0x0C	TRM_BYTECNT[13:8]	发送字节计数器高字节	W/R	
0x0D	TRM_BYTECNT[7:0]	发送字节计数器低字节	W/R	
0x0E	TRM_BUFPTR[13:8]	DMA 发送数据块地址指针高字节	W/R	
0x0F	TRM_BUFPTR[7:0]	DMA 发送数据块地址指针低字节	W/R	
0x10	无	留作后用		
0x11	无	留作后用		
0x12	RCV_BUFPTR[13:8]	DMA 接收数据地址指针高字节	W/R	
0x13	RCV_BUFPTR[7:0]	DMA 接收数据地址指针低字节	W/R	

偏移地址	名称	描述	属性	备注
0x14	无	留作后用		
0x15	无	留作后用		
0x16	MATCH_VECT[13:8]	地址匹配向量高字节	RO	
0x17	MATCH_VECT[7:0]	地址匹配向量低字节	RO	
0x16	ADR_TABNS[13:8]	NS 地址表指针高字节	WO	
0x17	ADR_TABNS[7:0]	NS 地址表指针低字节	WO	
0x18	FRAME_CODE[4:0]	接收的帧码	RO	
0x19	FRAME_CONTRL[7:0]	接收的帧控制码	RO	
0x18	ADR_TABHLNS[13:8]	HLNS 地址表指针高字节	WO	CONFIGURE
0x19	ADR_TABHLNS[7:0]	HLNS 地址表指针低字节	WO	CONFIGURE
0x1A	无	留作后用		
0x1B	NODE_ID[7:0]	节点识别符地址	W/R	CONFIGURE
0x1C	STATUS0[7:0]		RO	STATUS0
	TDRE_STAT	0x1C[0], 发送数据寄存器空状态		
	TIF_STAT	0x1C[1], 数据传送完毕状态指示		
	FCSFSTAT	0x1C[2], 帧校验正确		
	REDF_STAT	0x1C[3], 数据结束边界		
	RDEF_STAT	0x1C[4], 接收数据溢出 RCV_OVERFLOW		
	RSDF_STAT	0x1C[5], 数据起始边界 RCV_START_DLM		
	RAF_STAT	0x1C[6], FF 总线发现数据(RCVACTV)		
	RDRF_STAT	0x1C[7], 接收数据寄存器满		
0x1D	STATUS1[7:0]		RO	STATUS1
	RBMF_STAT	0x1D[0], 探测到广播消息		
	AMOF_STAT	0x1D[1], 地址匹配通知		
	ETDF_STAT	0x1D[2], 查表结束		
	RFCF_STAT	0x1D[3], 接收到帧控制字		
	RPSAF_STAT	0x1D[4], 接收到 PSA 帧		
	RNAF_STAT	0x1D[5], 接收到节点地址 (8 位地址)		
	NS_STAT	0x1D[6], NS 地址请求(要求 16 位)		
HL_STAT	0x1D[7], HL 地址请求(32 位地址)			
0x1E	STATUS2[6:0]		RO	STATUS2
	LSDF_STAT	0x1E[0], 接收前定界出错		
	LEDF_STAT	0x1E[1], 接收后定界出错		
	LNGFRM_STAT	0x1E[2], 接收到超长帧		
	MDERR_STAT	0x1E[3], 曼码解码出错		
	LCD_STAT	0x1E[4], 接收丢失载波		
	LTAUF_STAT	0x1E[6], 有查表请求		
RSPF_STAT	0x1E[7], 信号极性颠倒指示			
0x1F	TIMER_LATCH	定时器锁存控制		
0x20	MS1_32CNT[15:8]	1/32MS 计数值高字节	RO	

偏移地址	名称	描述	属性	备注
0x21	MS1_32CNT[7:0]	1/32MS 计数值低字节	RO	
0x20	MS1_32COMP[15:8]	1/32MS 比较值高字节	WO	
0x21	MS1_32COMP[7:0]	1/32MS 比较值低字节	WO	
0x22	MS1_CNT[15:8]	1MS 计数值高字节	RO	
0x23	MS1_CNT[7:0]	1MS 计数值低字节	RO	
0x22	MS1_COMP[15:8]	1MS 比较值高字节	WO	
0x23	MS1_COMP[7:0]	1MS 比较值低字节	WO	
0x24	OCT_CNT[15:8]	字节计数值高字节	RO	
0x25	OCT_CNT[7:0]	字节计数值低字节	RO	
0x24	OCT_COMP[15:8]	字节比较值高字节	WO	
0x25	OCT_COMP[7:0]	字节比较值低字节	WO	
0x26	CLK_DIV[3:0]	RAM 读写脉冲宽度配置	WR	
0x27	测试	固定写 0x01	W/R	

表 3 FBC0409 内部寄存器列表

根据寄存器功能不同，把所有的寄存器分为 8 组：发送寄存器、接收寄存器、命令寄存器、中断寄存器、DMA 寄存器、地址识别寄存器、状态寄存器和定时器寄存器。

7.2 发送寄存器

7.2.1 发送寄存器（TRM_REG）——地址 0x00

向现场总线发送数据可以有两种方式，CPU 方式和 DMA 方式。

CPU 方式就是通过 CPU 写发送寄存器来发送，CPU 写 00 地址寄存器，那么数据就被写入发送寄存器，为了避免发生数据过载以及确保发送模块准备好，需要读取状态 TDRE（状态寄存器 0，地址 0x1C）或中断状态 TDRE_INT（中断状态寄存器 0，地址 0x04），如果 TDRE=1 或 TDRE_INT=1，就表明发送模块发送寄存器已空，可以写入新的数据，同时清除中断，等待下一次发送。

至于 DMA 方式，这一过程是自动进行的，数据从预定义好的片内存储器中读取。

另外需要说明的是，无论是 CPU 方式还是 DMA 方式，都需要在开始时由 CPU 写发送寄存器来启动发送模块以进行相应的初始化。无论是 CPU 方式还是 DMA 方式，发送空闲状态下向该寄存器写入时，第一个写操作被认为启动发送，数据无效，第二个数据才认为是真正的数据。

在 DMA 发送方式下，如果正在发送数据，对该寄存器的写是无效的。

7.3 接收寄存器

7.3.1 接收寄存器——地址 0x00

接收寄存器存储从现场总线接收来的数据，CPU 读寄存器 00 地址，读的就是接收到的数据。

同样，为了避免发生接收欠载（发生帧错误）或过载（丢失帧数据），CPU 也必须通过读取状态 RDRF（状态寄存器 0，地址 0x1C）或中断状态 RDRF_INT（中断状态寄存器，地址 0x04）判断，如果 RDRF = 1 或者 RDRF_INT = 1，就表明接收模块收到一个新的字节数据。

对于 CPU 方式，必须保证及时的读取接收模块的接收到数据，以免发生接收过载的情况。

而在 DMA 方式下，接收是自动进行的，接收到的数据将被存储到预设定好的片内 RAM 缓冲区中。

7.4 命令寄存器

命令寄存器控制寄存器是用于设定芯片的工作方式和总体的控制，包括 4 个命令寄存器 0—3，下面分别介绍。

7.4.1 命令寄存器 0（FB_CMD0）——地址 0x01

0	0	RDE	FDM	TDE	TFCE	PSE[1:0]
---	---	-----	-----	-----	------	----------

RDE—RECEIVEDATAENABLE

控制从现场总线接收数据，0 关闭接收，1 打开。

FDM—FULL/HALFDUPLEXMODE

全双工/半双工接收模式选择，1 双工接收，0 则半双工接收。

TDE—TRANSMITDATAENABLE

控制向现场总线发送数据，0 关闭发送，1 打开。

TFCE—TRANSMITFRAMECHECKENABLE

使能发送帧校验方式，0：不进行帧校验，1：添加校验字。

PSE[1:0]—PREAMBLESEQUENCEENABLE

同步码序列字节个数选择，具体如下

00：1 字节；01：2 字节；10：3 字节；11：4 字节。

7.4.2 命令寄存器 1 (FB_CMD1) ——地址 0x02

0	0	0	MAU_ENF	LOOPBK	DTE	DRE	ARME
---	---	---	---------	--------	-----	-----	------

MAU_ENF—MAUENABLEFLAGMAU

使能标志，为 1 表示所接 MAU 使能端为高有效，为 0 表示所接 MAU 使能端为低有效。

LOOPBK—LOOPBACKMODEFLAG

内环回控制，为 1 则 FF 发送和接收构成内环回而不向总线发送数据，为 0 则不进行内环回。

DTE—DMATRANSMITENABLE

使能发送 DMA，0：关闭 DMA 发送，1：打开 DMA 发送。

DRE—DMARECEIVEENABLE

使能接收 DMA，0：关闭 DMA 接收，1：打开 DMA 接收。

ARME—ADDRESSRECOGNITIONMODEENABLE

使能地址识别模式，1 有效。

7.4.3 命令寄存器 2 (FB_CMD2) ——地址 0x03

CLKSEL	MD1	MD0	BR4	BR3	BR2	BR1	BR0
--------	-----	-----	-----	-----	-----	-----	-----

CLKSEL—CLOCKSOURCESELECTS

线路时钟源选择，0：CPU 时钟 SCLK，1：选择时钟 NCLK。

MD1-MD0—CLOCKMODESELECTS

时钟模式选择，为 11 时关闭内部时钟，其余时现场总线通信速率为 31.25KHZ。

BR [4:0] —BAUDRATESELECT

波特率分频因子，对由 CLKSEL 选择的时钟进行分频得到内部使用的 500K 时钟。将输入时钟分频为线路时钟 500K 的表达式=输入时钟/（BR+1）。

例如对于输入时钟 16MHZ，则 BR4-BR0 的值应为 11111。这里仅支持 2 幂次分频，即 1/2/4/8/16/32 次分频，相应的 BR 值分别为 0/1/3/7/15/31。

7.4.4 命令寄存器 3 (FB_CMD3) ——地址 0x26

0	0	0	0	CLK_DIV[3:0]
---	---	---	---	--------------

CLK_DIV [3:0]

内部时钟分频因子，对由 SCLK 时钟进行分频得到内部使用的 4~6M 时钟，表达式=输入时钟/（CLK_DIV+1）。

例如对于输入时钟 32MHZ，则 CLK_DIV 的值应为 0x7，而如果输入时钟是 20MHZ，则 CLK_DIV 的值应为 0x3。

这里仅支持 2 幂次分频，即 1/2/4/8/16 次分频，相应的 CLK_DIV 值分别为 0/1/3/7/15。

7.5 中断寄存器

中断寄存器芯片提供了多个中断寄存器用于中断控制，包括有中断主寄存器、中断状态寄存器 0-3，中断屏蔽寄存器 0-3，下面分别介绍。

7.5.1 中断主寄存器 (ISR_MSTR) ——地址 0x03

中断主寄存器指示产生中断的中断源。

EIF	0	0	0	ERRF	TISF	AISF	CISF
-----	---	---	---	------	------	------	------

EIF—EXTERNAL INTERRUPT FLAG

外部中断标志，当 PI_INT=0 时有效。

ERRF—ERROR FLAG

发生错误引起的中断，ISR3 中任意比特有效时该比特为高电平。

TISF—TIMER INTERRUPT SOURCE FLAG

定时器中断主标志，当中断寄存器 2 的 6 个定时器中断状态任一个有效为 1 时，TISF 有效置 1。

AISF—ADDRESS INTERRUPT SOURCE FLAG

地址识别中断主标志，当中断状态寄存器 1 的 4 个地址识别中断状态任一个有效时，AISF 有效置 1。

CISF—COMMUNICATION INTERRUPT SOURCE FLAG

通信中断主标志，当中断状态寄存器 0 的 8 个现场总线发送接收中断状态任一个有效时，CISF 有效置 1。

说明：

当中断主寄存器的 4 个中断指示任一个为 1 时，芯片中断输出引脚 PO_INT 为有效低。

7.5.2 中断状态寄存器 0 (ISR0) ——地址 0x04

中断状态寄存器 0 是芯片在现场总线通信过程中产生的中断状态，中断状态寄存器 0 的清零由 CPU 写清零来实现，当 CPU 写地址 0x04 时，CPU 写入数据的对应位为 1，则中断状态寄存器 0 相应位被清零。

RDRF_INT	RAF_INT	RSDF_INT	REF_INT	REDF_INT	RIF_INT	TIF_INT	TDRE_INT
----------	---------	----------	---------	----------	---------	---------	----------

RDRF_INT—RECEIVEDATAREGISTERFULL

接收寄存器满中断标志，当接收模块已接收到一个完整的字节时，

RDRF_INT 有效置 1。RAF_INT—RECEIVEACTIVEFLAG

接收激活中断标志，当检测线路上有载波（CD）信号时，RAF_INT 有效置 1。

RSDF_INT—RECEIVESTARTDELIMITERFLAG

收到帧前定界码中断标志，当检测到帧前定界码时，RSDF_INT 有效置 1。

REF_INT—RECEIVEERRORFLAG

接收溢出中断标志，当接收发生字节溢出时，REF_INT 有效置 1。

REDF_INT—RECEIVEENDDELIMITERFLAG

收到帧后定界码标志，当收到帧后定界码时，REDF_INT 有效置 1，表明已经收完一帧数据。

RIF_INT—RECEIVEIDLEFLAG

接收空闲中断标志，当接收完一帧数据时，RIF_INT 有效置 1。

TIF_INT—TRANSMITIDLEFLAG

发送空闲中断标志，当发送完一帧数据时，TIF_INT 有效置 1，向 CPU 表明可以发送新的一帧。

TDRE_INT—TRANSMITDATAREGISTEREMPTY

发送数据寄存器空中断标志，当发送模块申请新的一个字节时，TDRE_INT 有效置 1。

7.5.3 中断状态寄存器 1（ISR1）——地址 0x05

中断状态寄存器 1 是在地址识别过程中产生的中断状态，中断状态寄存器 1 的清零由 CPU 写 1 清零来实现，当 CPU 写地址 0x05 时，CPU 写入数据的对应位为 1，则中断状态寄存器 1 相应位被清零。

0	0	0	0	FCF_INT	EOTF_ING	AMDF_INT	B MDF_INT
---	---	---	---	---------	----------	----------	-----------

FCF_INT—FRAMECONTROLFLAG

检测到帧控制码中断标志，当地址识别模块收到帧控制字时，

FCF_INT 有效置 1。EOTF_INT—ENDOFTABLEFLAG

地址表结束中断标志，当地址识别模块查表操作检测到地址表结束标志时（连 0 地址），EOTF_INT 有效置 1。

AMDF_INT—ADDRESSMATCHDETECTIONFLAG

检测到地址匹配中断状态，当地址识别模块检测到目的地址与本节点地址或地址表中的表项匹配时，AMDF_INT 有效置 1。

B MDF_INT—BROADCASTMESSAGEDETECTIONFLAG

检测到广播帧中断状态，当地址识别模块帧控制译码结果为广播帧时，B MDF_INT 有效置 1。

7.5.4 中断状态寄存器 2 (ISR2) ——地址 0x06

中断状态寄存器 2 是由内部定时器产生的中断状态，中断状态寄存器 2 的清零由 CPU 写“1”来实现，当 CPU 写地址 0x06 时，CPU 写入数据的对应位为 1，则中断状态寄存器 1 相应位被清零。

0	0	OCF	OOF	1CF	1OF	1/32CF	1/32OF
---	---	-----	-----	-----	-----	--------	--------

OCF—OCTETCOUNTERFLAG

字节定时器计数中断，当字节定时器计数器等于字节定时器比较寄存器时，OCF 有效置 1。RESET 时，由于计数器值为 0，比较寄存器值也为 0，故此时该位有效，使用时需提前清零。

OOF—OCTETOVERFLOWFLAG

字节定时器溢出中断，当字节定时器计数器等于 0xFFFF 溢出时，OOF 有效置 1。

1CF—1MSCOUNTERFLAG

1MS 定时器计数中断，当 1MS 定时器计数器等于 1MS 定时器比较寄存器时，1CF 有效置 1。初始值原因及处理同 OCF。

1OF—1MSOVERFLOWFLAG

字节定时器溢出中断，当字节定时器计数器等于 0xFFFF 溢出时，OOF 有效置 1。

1/32CF—1/32MSCOUNTERFLAG

1/32MS 定时器计数中断，当 1/32MS 定时器计数器等于 1/32MS 定时器比较寄存器时，OCF 有效置 1。初始值原因及处理同 OCF。

1/32OF—1/32MSOVERFLOWFLAG

1/32MS 定时器溢出中断，当 1/32MS 定时器计数器等于 0xFFFF 溢出时，OOF 有效置 1。

7.5.5 中断状态寄存器 3 (ISR3) ——地址 0x07

中断状态寄存器 3 是由 FF 芯片在现场总线通信过程发生错误的中断状态，中断状态寄存器 3 的清零由 CPU 写 1 清零来实现，当 CPU 写地址 0x07 时，CPU 写入数据的对应位若为 1，则中断状态寄存器 1 相应位被清零。

0	JL_INT	TRM_FAIL_INT	LCD_INT	LNGFRM_INT	MDERR_INT	LEDF_INT	LSDF_INT
---	--------	--------------	---------	------------	-----------	----------	----------

JL_INT—JABBERINDICATION

闲谈指示中断标志，当发送模块发送定时器超时时，JL_INT 有效置 1。

TRM_FAI_INT—TRANSMITFAILUE

发送失败中断标志，当发送过程由于无任何数据发送时，

TRM_FAIL_INT

有效置 1。

LCD_INT—LOSTCARRIERDETECTION

接收载波丢失错误中断标志当接收过程中发生 CD 丢失时，LCD_INT 有

效置 1。

LNGFRM_INT—LONGFRAME

接收超长帧错误中断标志，当接收模块接收定时器超时时，LNGFRM_INT 有效置 1。

MDERR_INT—MANCHESTERDECODEERROR

接收曼码解码错误中断标志，当接收模块接收过程收到不明 N+或 N-时，MDERR_INT 有效置 1。

LEDF_INT—LOSTENDDDELIMITERFLAG

接收丢失帧后定界码中断标志，当接收模块接收过程中发现帧后定界错误时，LEDF_INT 有效置 1。

LSDF_INT—LOSTSTARTDELIMITERFLAG

接收丢失帧前定界码中断标志，当接收模块在收到前导码之后发现帧前定界码错误时，LSDF_INT 有效置 1。

7.5.6 中断屏蔽寄存器 0 (ISR0_MSK) ——地址 0x08

中断屏蔽寄存器 0 是用于屏蔽中断状态寄存器 0 的，相应位定义同中断状态寄存器 0，如果某位为 1，则使能中断状态寄存器 0 的相应位；如果为 0，则清除/屏蔽相应位中断。

7.5.7 中断屏蔽寄存器 1 (ISR1_MSK) ——地址 0x09

中断屏蔽寄存器 1 是用于屏蔽中断状态寄存器 1 的，相应位定义同中断状态寄存器 1，如果某位为 1，则使能中断状态寄存器 1 的相应位；如果为 0，则清除/屏蔽相应位中断。

7.5.8 中断屏蔽寄存器 2 (ISR2_MSK) ——地址 0x0A

中断屏蔽寄存器 2 是用于屏蔽中断状态寄存器 2 的，相应位定义同中断状

态寄存器 2，如果某位为 1，则使能中断状态寄存器 2 的相应位；如果为 0，则清除/屏蔽相应位中断。

7.5.9 中断屏蔽寄存器 3 (ISR3_MSK) ——地址 0x0B

中断屏蔽寄存器 3 是用于屏蔽中断状态寄存器 3 的，相应位定义同中断状态寄存器 3，如果某位为 1，则使能中断状态寄存器 3 的相应位；如果为 0，则清除/屏蔽相应位中断。

7.6 DMA 寄存器

7.6.1 发送字节计数器 (TRM_BYTECNT [13:0]) ——地址 0x0C-0x0D

DMA 模式下控制发送数据的字节个数。在 CPU 更改寄存器时，一定要先写高字节，后写低字节，连续写。

7.6.2 发送缓冲区数据地址 (TRM_BUFPTR [13:0]) ——地址 0x0E-0x0F

DMA 模式下存放发送缓冲区数据的首地址。在 CPU 更改寄存器时，一定要先写高字节，后写低字节，连续写。

7.6.3 接收缓冲区地址 (RCV_BUFPTR [13:0]) ——地址 0x12-0x13

DMA 模式下指向接收数据的下一个地址，写入一个字节，则加 1。在 CPU 更改寄存器时，一定要先写高字节，后写低字节，连续写。本寄存器写入时表示接收数据存放 RAM 的首址，读出时表示数据存放当前地址加 1。

7.7 地址识别寄存器

7.7.1 地址匹配向量寄存器 (MATCH_VECTOR [13:0]) ——地址 0x16-0x17

地址匹配向量，只读，指向地址识别模块地址表查表操作的下一个地址，

当发生地址匹配时（读状态寄存器 1 或中断状态寄存器 1），地址匹配向量指向的就是地址表中发生匹配的下一个字节地址。

7.7.2 NS 地址表地址寄存器（ADR_TABNS [13:0]）——地址 0x16-0x17

NS 地址表地址，只写，是 16 位地址表首地址，如果接收帧目的地址是 NS 类型，则将目的地址和 NS 地址表逐项地址进行比较，直至匹配成功或地址表结束（NS 地址表以 3 个连续“0x00”标志结尾）。在 CPU 更改寄存器时，一定要先写高字节，后写低字节，连续写。

7.7.3 帧码寄存器 FRAME_CODE [4:0]——地址 0x18

帧码寄存器，只读，存放的是通过对帧控制字进行译码而得到的 5BIT 信息，一旦产生收到帧控制字状态或中断状态，则 CPU 可以读取帧码以判断是何种类型的帧。对应表如下：

FCODE	MESSAGEFUNCTION	FCODE	MESSAGEFUNCTION
00000	ESTABLISHCONNECTION1	10000	DATATRANSFER5
00001	ESTABLISHCONNECTION2	10001	STATUSRESPONSE
00010	DISCONNECTCONNECTION1	10010	COMPELTIME
00011	DISCONNECTCONNECTION2	10011	TIMEDISTRIBUTION
00100	RESETCONNECTION1	10100	ROUND-TRIPQUERY
00101	RESETCONNECTION2	10101	ROUND-TRIPREPLY
00110	COMPELACKNOWLEDGE1	10110	PROBENODE
00111	COMPELACKNOWLEDGE2	10111	PROBERESPONSE
01000	COMPELDATA1	11000	PASSTOKEN
01001	COMPELDATA2	11001	EXECUTESEQUENCE
01010	EXCHANGEDATA1	11010	RETURNTOKEN
01011	EXCHANGEDATA2	11011	REQUESTINTERVAL
01100	DATATRANSFER1	11100	CLAIMLAS
01101	DATATRANSFER2	11101	TRANSFERLAS
01110	DATATRANSFER3	11110	WAKEUP
01111	DATATRANSFER4	11111	IDLE

表 4 帧码/类型帧对应表

7.7.4 帧控制字寄存器 FRAME_CNTRL [7:0]——地址 0x19

帧控制字寄存器，只读，存放接收帧的协议数据单元的第一个字节帧控制字节，其中包含帧类型信息。

7.7.5 HLNS 地址表地址寄存器 (ADR_TABHLNS [13:0]) ——地址 0x18-0x19

HLNS 地址表地址，只写，是 32 位地址表首地址，如果接收帧目的地址是 HLNS 类型，则将目的地址和 HLNS 地址表逐项地址进行比较，直至匹配成功或地址表结束（HLNS 地址表以 3 个连续“0x0000”标志结尾）。在 CPU 更改寄存器时，一定要先写高字节，后写低字节，连续写。

7.7.6 节点标志符寄存器 (NODE_ID) ——地址 0x1B

节点标志符寄存器，存放 8BIT 节点标志符，如果接收帧目的地址是 NODEID 类型，则无需进行 DMA 查表操作，直接将目的地址和节点标志符寄存器相比较即可。

7.8 状态寄存器

7.8.1 状态寄存器 0 (STATUS0) ——地址 0x1C

状态寄存器 0 是 FF 芯片在现场总线过程中产生的状态信息。

RDRF_STAT	RAF_STAT	RSDF_STAT	REF_STAT	REDF_STAT	FCSF_STAT	TIF_STAT	TDRE_STAT
-----------	----------	-----------	----------	-----------	-----------	----------	-----------

RDRFT_STAT—RECEIVEDATAREGISTERFULL

接收寄存器满状态指示，接收模块已接收到一个完整的字节时，

RDRF_STAT 有效置 1。RAF_STAT—RECEIVEACTIVEFLAG

接收激活状态指示，当检测线路上有载波（CD）信号时，RAF_STAT 有效置 1。

RSDF_STAT—RECEIVESTARTDELIMITERFLAG

收到帧前定界码状态指示当检测到帧前定界码时，RSDF_STAT 有效置 1。

REF_STAT—RECEIVEERRORFLAG

接收溢出状态指示，当接收发生字节溢出时，REF_STAT 有效置 1。

REDF_STAT—RECEIVEENDDELIMITERFLAG

收到帧后定界码状态指示，当收到帧后定界码时，REDF_STAT 有效置 1，表明已经收完一帧数据。

FCSF_STAT—FRAMECHECKSEQUENCEFLAG

帧校验正确状态指示，当接收完一帧数据时，RIF_STAT 有效置 1。

TIF_STAT—TRANSMITIDLEFLAG

发送空闲状态指示，当发送完一帧数据时，TIF_STAT 有效置 1，向 CPU 表明可以发送新的一帧。

TDRE_STAT—TRANSMITDATAREGISTEREMPTY

发送数据寄存器空状态指示，当发送模块申请新的一个字节时，TDRE_STAT 有效置 1。

7.8.2 状态寄存器 1 (STATUS1) ——地址 0x1D

状态寄存器 1 是在地址识别过程中产生的状态信息。

HL_STAT	NS_STAT	RNAF_STAT	RPSAF_STAT	RFCF_STAT	ETDF_STAT	AMOF_STAT	RBMF_STAT
---------	---------	-----------	------------	-----------	-----------	-----------	-----------

HL_STAT—HIGHLINKFLAG

收到帧目的地址类型为 HLNS 状态指示。

NS_STAT—NODESELECTFLAG

收到帧目的地址为 NS 类型状态指示。

RNAF_STAT—RECEIVENODEADDRESSFLAG

收到帧目的地址为 NODEID 类型状态指示。

RPSAF_STAT—RECEIVEPSAFLAG

收到 PSA 帧状态指示。

RFCF_STAT—RECEIVEFRAMECONTROLFLAG

检测到帧控制码状态指示，当地址识别模块收到帧控制字时，FCF_STAT有效置1。

ETDF_STAT—ENDOFTABLEDETECTIONFLAG

地址表结束状态指示，当地址识别模块查表操作检测到地址表结束标志时，ETDF_STAT有效置1。

AMOF_STAT—ADDRESSMATCHOCCURENCEFLAG

检测到地址匹配状态指示，当地址识别模块检测到目的地址与本节点匹配时，AMDF_STAT有效置1。

RBMF_STAT—RECEIVEBROADCASTMESSAGEFLAG

检测到广播帧状态指示，当地址识别模块帧控制译码结果为广播帧时，BMDF_STAT有效置1。

7.8.3 状态寄存器 2 (STATUS2) ——地址 0x1E

中断状态寄存器 2 是由通信机制产生的状态信息，如下：

RSPF_STAT	LTAF_STAT	0	LCD_STAT	MDERR_STAT	LNGFRM_STAT	LEDF_STAT	LSDF_STAT
-----------	-----------	---	----------	------------	-------------	-----------	-----------

RSPF_STAT—REVERSEDSIGNALPOLARITYFLAG

现场总线极性接反状态指示。

LTAF_STAT—LOOKUPTABLEACTIVITYFLAG

正在进行查表状态指示。

LCD_STAT—LOSTCARRIERDETECTION

接收载波丢失错误状态指示当接收过程中发生 CD 丢失时，LCD_STAT有效置1。

LNGFRM_STAT—LONGFRAME

接收超长帧错误状态指示，当接收模块接收定时器超时时，LNGFRM_STAT有效置1。

MDERR_STAT—MANCHESTERDECODEERROR

接收曼码解码错误状态指示，当接收模块接收过程收到不明 N+或 N-时，MDERR_STAT有效置 1。

LEDF_STAT—LOSTENDDELIMITERFLAG

接收丢失帧后定界码状态指示，当接收模块接收过程中发现帧后定界错误时，LEDF_STAT有效置 1。

LSDF_STAT—LOSTSTARTDELIMITERFLAG

接收丢失帧前定界码状态指示，当接收模块在收到前导码之后发现帧前定界码错误时，LSDF_STAT有效置 1。

7.9 定时器寄存器

7.9.1 定时器锁定寄存器 **TIMER_LATCH**——地址 **0x1f**

在读取定时器操作之前首先执行向本寄存器写操作，用于锁定内部定时器。

7.9.2 1/32MS 定时器计数值寄存器 (**MS1_32CNT [15:0]**) ——地址 **0x20-0x21**

1/32MS 定时器计数值寄存器，只读，当前 1/32MS 定时器计数值。

7.9.3 1/32MS 定时器比较值寄存器 (**MS1_32COMP [15:0]**) ——地址 **0x20-0x21**

1/32MS 定时器比较值寄存器，只写，存放 1/32MS 定时器比较值。

7.9.4 1MS 定时器计数值寄存器 (**MS1_CNT [15:0]**) ——地址 **0x22-0x23**

1MS 定时器计数值寄存器，只读，当前 1MS 定时器计数值。

7.9.5 1MS 定时器比较值寄存器 (**MS1_COMP [15:0]**) ——地址 **0x22-0x23**

1MS 定时器比较值寄存器，只写，存放 1MS 定时器比较值。

7.9.6 字节定时器计数值寄存器 (OCTET_CNT [15:0]) ——地址 0x24-0x25

字节定时器计数值寄存器，只读，当前字节定时器计数值。

7.9.7 字节定时器比较值寄存器 (OCTET_COMP [15:0]) ——地址 0x24-0x25

字节定时器比较值寄存器，只写，存放字节定时器比较值。

第8章 封装信息

芯片采用 LQFP44 封装，相关信息见下示意图。

LQFP44 PACKAGE OUTLINE DIMENSIONS

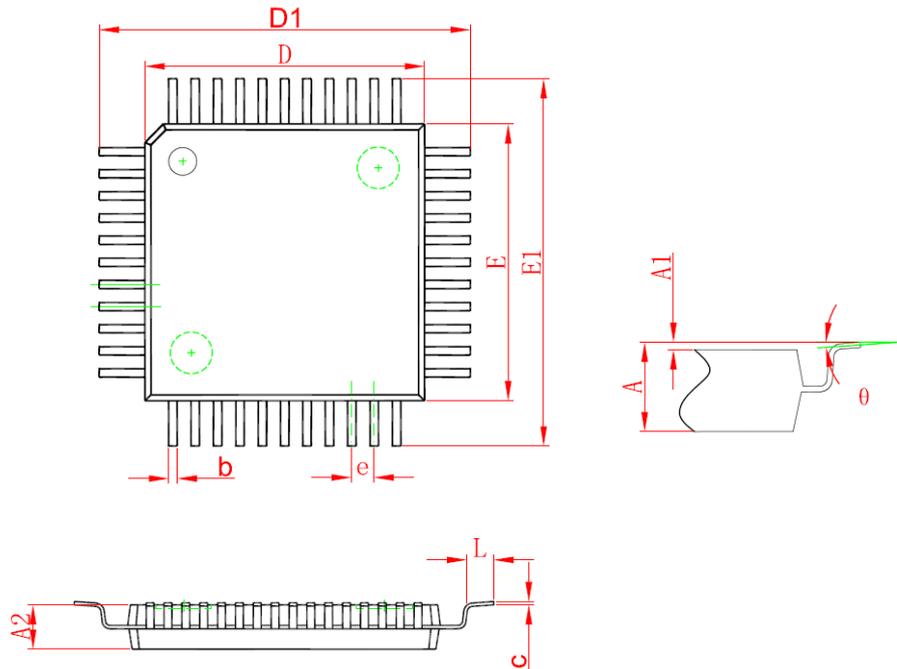


图 4 封装示意图

封装信息

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A		1.600		0.063
A1	0.050	0.150	0.002	0.006
A2	1.350	1.450	0.053	0.057
b	0.280	0.400	0.011	0.016
c	0.100	0.200	0.004	0.008
D	9.900	10.100	0.390	0.398
D1	11.850	12.150	0.467	0.478
E	9.900	10.100	0.390	0.398
E1	11.850	12.150	0.467	0.478
e	0.800 (BSC)		0.031 (BSC)	
L	0.450	0.750	0.018	0.030
θ	0°	7°	0°	7°

表 5 封装信息

第9章 性能指标

9.1 温度特性

- 储存温度：-65~150℃；
- 工作温度：-40~85℃；
- 结温：-40~85℃

9.2 电气特性

直流特性，见下表：

SYMBOL	PARAMETER	OPCONDATIONS	MIN	TYP	MAX	UNIT
V _{DD}	PRE-SUPPLY VOLTAGE		3.0	3.3	3.60	V
V _{DDCORE}	DCSUPPLYIO/CORE		3.0	3.3	3.60	V
V _{IH}	INPUTHI-VOLTAGE		2.0		5.5	V
V _{IL}	INPUTLO-VOLTAGE		-0.3		0.8	V
V _T	THRESHOLDPOINT		1.29	1.37	1.47	V
V _{T+}	SCHMITTRIG. LOWTOHITHRESHOLD	RST_N	1.51	1.58	1.64	V
V _{T-}	SCHMITTRIG. HITOLOWTHRESHOLD	RST_N	0.93	0.98	1.03	V
V _{OH}	OUTPUT HI-VOLTAGE	@IOH=2,4,...24MA	2.4			V
V _{OL}	OUTPUTLO-VOLTAGE	@IOL=2,4,...24MA			0.4	V
I _L	INPUTLEAK-CURRENT				±10	UA
I _{OZ}	3-STATEOUTPUTLEAKAGE- CURRENT				±10	UA
R _{PU}	PULL-UPRESISTOR		33	45	74	KOHM
R _{PD}	PULL-DOWNRESISTOR		33	45	74	KOHM
I _{OH}	HIGHLEVELOUTPUTCURRENT @VOH=2.4V	2MA				
I _{OH}	LOWLEVELOUTPUTCURRENT @VOL=0.4V	2MA				

表 6 FBC0409 直流特性



中国科学院沈阳自动化研究所

沈阳中科博微自动化技术有限公司

[Http://www.microcyber.cn](http://www.microcyber.cn)

地址：中国 · 沈阳 · 浑南新区文溯街 17-8 号

邮编：110179

电话：0086-24-31217295 / 31217296

传真：0086-24-31217293

EMAIL: sales@microcyber.cn